

75

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56-100451

⑪ Int. Cl.³
H 01 L 21/92

識別記号

庁内整理番号
7638-5F

⑬ 公開 昭和56年(1981)8月12日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体装置の電極製造方法

門真市大字門真1006番地松下電
器産業株式会社内

① 特 願 昭55-2776

① 出 願 人 松下電器産業株式会社

② 出 願 昭55(1980)1月14日

門真市大字門真1006番地

⑦ 発 明 者 福本正紀

④ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1、発明の名称

半導体装置の電極製造方法

2、特許請求の範囲

(1) 半導体基板の表面上に形成された絶縁膜の一部を選択的に除去して開口部を設け、前記半導体基板表面の一部を露出させる工程と、前記半導体基板の開口部表面に、真空にした容器内でレーザービームを照射し前記開口部表面を加熱する工程と、前記レーザービーム照射後、前記真空容器内で前記半導体基板の開口部表面上に電極用金属膜を被着する工程と、前記電極用金属膜を選択的に除去して電極パターンを形成する工程とを含むことを特徴とする半導体装置の電極製造方法。

(2) 半導体基板の開口部表面上に真空蒸着した電極用金属膜を、多層金属膜の被着にて形成されることを特徴とする特許請求の範囲第1項に記載の半導体装置の電極製造方法。

(3) 半導体基板の開口部表面上に真空蒸着した電

極用金属膜が少なくともMo, Ta, W, V, Ti, Nbのうちの一つであることを特徴とする特許請求の範囲第1項に記載の半導体装置の電極製造方法。

3、発明の詳細な説明

本発明は、半導体素子又は集積回路において、コンタクト抵抗値が小さく、かつ抵抗値のバラツキが少なくなるような電極の製造方法を提供することを目的とするものである。

LSIの高集積化に伴い、LSIチップ中の半導体素子数を増加させると、素子間を配線で接続する電極のコンタクト窓数も増加し、数十万個に達するようになった。またコンタクト窓形状は一边2μmの正方形にまで縮小されて来た。コンタクト窓数の増加はコンタクト抵抗値の相対的なバラツキを大きくするため、その抵抗が異常に高くなる確率を増加させ、コンタクト窓寸法の減少は、コンタクト抵抗の絶対値を増加させるので、LSIの歩留りを低下させる原因となるのである。またアナログ集積回路の電極においても絶対値が小さ

くバラツキの少ないコンタクト抵抗が要求されている。コンタクト抵抗値及びバラツキを決定している要因として次の様な事が掲げられる。

(1) 半導体コンタクト表面の不純物濃度（抵抗値を決定する。）、(2) 半導体コンタクト表面に存在する SiO_2 等自然酸化膜、(3) 半導体コンタクト表面にある C、有機物等の汚染物質〔(2)(3)は抵抗値、バラツキを決定する。〕、

従来(1)～(3)の原因によるコンタクト抵抗を除去することができる電極の形式法として次の方法があった。原因(1)については電極を形成すべき半導体基板の部分に半導体基板と同じ導電型になる様な不純物を追加拡散して、コンタクト表面の不純物濃度を高めた後、電極を形成することによってコンタクト抵抗を下げるのである。原因(2)、(3)によるコンタクト不良を除く電極形成方法としては2種の方法があった。第1の方法は、イオン衝撃によるコンタクト表面のクリーニングである。これは、真空容器内で Ar^+ 等の不活性ガスイオンを加速してコンタクト面を衝撃し、スパッタエッチ

によってコンタクト不良の原因となる自然酸化膜や汚染物質を除去した後、同じ容器内で電極用金属膜をコンタクト面に被着するのである。この方法では、コンタクト面上の SiO_2 や汚染物は除去されるがコンタクト面である半導体基板表面もエッチングされるので表面不純物濃度が減少し、従ってコンタクト抵抗値を増加させる可能性が高いという欠点がある。第2の方法はコンタクト表面を高真空中で、高温まで加熱しコンタクト表面に存在する十数Åの自然酸化膜や汚染物を蒸発させることによってコンタクト面を清浄にした後常温付近まで温度を下げ、その後電極用金属膜を被着する方法である。この方法ではコンタクト面を加熱するヒーターからコンタクト面又はそれ以外の半導体装置表面への汚染の可能性があり、また基板全体の温度が上昇し易く比較的長時間加熱しなければならないので、半導体装置では拡散層の深さを変えてしまう恐れがあるし、常温付近まで温度をもどすのに時間を要する等実用的に問題があった。

本発明は、以上従来の低コンタクト抵抗をもつ電極の形成法に見られた種々の問題点をレーザービームの活用等の方法を用いて除去するものであり、以下図面と共に本発明の詳細を述べることにする。

図は本発明による電極製造方法の実施例を説明するための工程断面図である。第1図の工程は、一導電型を有するシリコン基板1に1と反対導電型を有する拡散層2を形成する。その後基板1の表面上に SiO_2 膜3を形成し、3の一部を選択的に除去してコンタクト窓となる開口部4を設けた段階である。4を開口する時、 SiO_2 膜のエッチングは HF と NH_4F の混合液で行い、その後脱イオン水で水洗し乾燥する。拡散層2の開口表面5において、乾燥直後には SiO_2 膜3のエッチング液中の不純物や水洗中に拡散層2の表面5が酸化されて生じた十数Åの厚さの極く薄い SiO_2 膜が存在している。

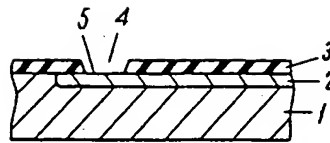
次にコンタクト窓4の表面5を含む基板表面を高真空中でレーザービーム6を照射し、特にコン

タクト窓4において露出している拡散層2の表面層を高温に加熱する。この加熱により表面5に存在していた不純物、有機物や SiO_2 膜が蒸発して表面5を清浄にすることができる（工程第2図）。

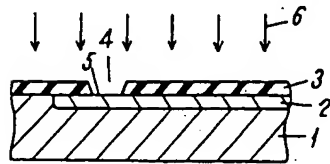
表面5を清浄にした後、直ちに同じ真空容器内でフラッシュ蒸着、電子ビーム蒸着等の真空蒸着法を用いて $500\sim 1000\text{Å}$ に Al 7 を被着する（工程第3図）。さらに膜7上に同じ真空容器内で約 $1\mu\text{m}$ の厚さに、真空蒸着法やスパッタリング法で Al 又は Al/Si、Al/Si/Cu 等合金膜8を被着する（工程第4図）。最後に金属膜7、8を選択的にエッチングして電極パターンを形成した後、 $400^\circ\text{C}\sim 500^\circ\text{C}$ の温度 N_2 、又は $\text{N}_2 + \text{H}_2$ 雰囲気中で熱処理し、膜7と拡散層2の接触界面となる5において金属膜と Si を合金化し第5図のごときオーミックコンタクトを完成するのである。

さて第2図の工程のレーザー照射においては、 SiO_2 、その他の物質が蒸発し得る温度が得られるようなレーザーのパワー等照射条件が必要である。

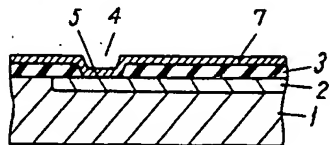
第 1 図



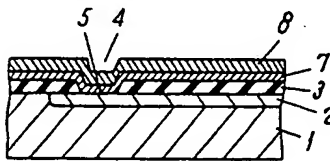
第 2 図



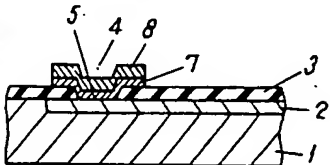
第 3 図



第 4 図



第 5 図



MANUFACTURE OF ELECTRODE OF SEMICONDUCTOR DEVICE

Patent Number: JP56100451
Publication date: 1981-08-12
Inventor(s): FUKUMOTO MASANORI
Applicant(s):: MATSUSHITA ELECTRIC IND CO LTD
Requested Patent: ☐ JP56100451
Application Number: JP19800002776 19800114
Priority Number(s):
IPC Classification: H01L21/92
EC Classification:
Equivalents:

Abstract

PURPOSE: To reduce a value of contact resistance and obtain a uniform electrode by forming the electrode by application of a laser beam to a window for electrode in a semiconductor substrate in vacuum and then by evaporation of metal thereon.

CONSTITUTION: An n layer is provided on the P type substrate, while the window for electrode is provided in an SiO₂ film 3. The laser beam is applied in vacuum and the surface of the n layer 2 thus exposed is heated at high temperature. By this heating, impurities, organic substances and the thin SiO₂ film on the surface are vaporized and thereby the surface is purified. Al₇ is evaporated immediately, whereon an alloy film 8 such as Si and further Cu is laid. Finally, the metal films 7 and 8 are etched selectively, thereby an electrode pattern is provided, the device thus prepared is processed in N at about 400 deg.C, Si and metal are alloyed on the interface between the film 7 and the n layer 2, and thus ohmic connection is completed. By this method, cooling is performed in a short time since the uppermost surface layer of the substrate alone is heated, and thus the electrode which has low value of contact resistance and uniformity can be obtained.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY